

鱼骨型时钟结构的快速实现方法

陈菲菲, 王振宇, 严 伟

(北京大学 软件与微电子学院, 北京 100871)

摘 要: 针对 CTS 和传统鱼骨时钟结构(Fishbone)的优缺点, 提出了一种结合两种方式优点的改进型鱼骨型时钟结构. 针对传统鱼骨型时钟结构需要较多时间的缺点, 提出了一种快速实现的方法. 在相同的设计条件下, 通过该实现方法与 CTS 和传统鱼骨型时钟结构加以比较, 结果显示改进型鱼骨结构比 CTS 减少了 50% 左右的时钟延迟和 20% 时钟偏差; 比传统鱼骨型时钟结构节省了 60% 以上的实现时间.

关键词: 时钟树综合; 时钟偏斜; 时钟延迟; CTS; 鱼骨时钟

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2014)02-0153-04

Fast Implementation of Fishbone Structure

CHEN Fei-fei, WANG Zhen-yu, YAN Wei

(School of Software and Microelectronics, Peking University, Beijing 100871, China)

Abstract: This paper provided a improved fishbone clock structure after compared the advantages and disadvantages of CTS and traditional fishbone. Besides that, this paper improved the fishbone's implementation methods. Under the same design condition, new methods fishbone has smaller skew and latency compared with CTS and much less implementation time compared with traditional fishbone.

Key words: clock tree synthesis; skew; latency; CTS; fishbone

1 引言

在大规模高速芯片中, 芯片性能很大程度上取决于时钟网络的设计. 时钟信号决定了系统的工作频率; 时钟信号频率高, 强度大, 易引起其他部分的噪声; 时钟网络对布线有特殊要求. 因此时钟分布网络一直是业界研究的重点. 应用 EDA 软件可以快速实现二叉树型时钟结构(CTS). 这种方式实现时间短, 但使用的缓冲器较多, 时钟级数较大, 时钟延迟较长, 时钟偏斜较大. 现代高速设计中, 片上变异(on chip variation, OCV)会放大这些缺点, 影响时序收敛^[1]. 为了克服这些缺点, 有人提出鱼骨型时钟结构, 但多数 EDA 工具不支持它的自动化实现. 传统方式实现鱼骨型时钟结构需要工程师通过 HP-SICE 建模获取各项设计参数, 但 HPSICE 建模时很难准确估计实现过程中用到的层间通孔的类型和

数量, 所以获取的初始设计参数准确度不高, 往往需要多次调整, 这对周期比较紧迫的项目而言, 往往是难以接受的. 本文基于此, 提出一种鱼骨型时钟的快速实现方式.

2 鱼骨型时钟结构简介

鱼骨型时钟结构一般会具有若干条主干(trunk), 主干上又有许多平行的分支(tributary)^[2]. 如图 1 所示即为典型的鱼骨型时钟结构. 时钟信号经过三级缓冲器放大驱动能力, 通过一段宽长的金属直接驱动负载. 本文的研究都是基于单主干的鱼骨型时钟结构.

3 Fishbone 设计流程

图 2 为一个典型的鱼骨型时钟结构的设计流程图. 对于鱼骨型结构, 良好布局结果是指负载在某一

收稿日期: 2013-03-17; 修回日期: 2013-05-12

基金项目: 国家自然科学基金项目(61072038)

区域内成狭条型均匀分布。

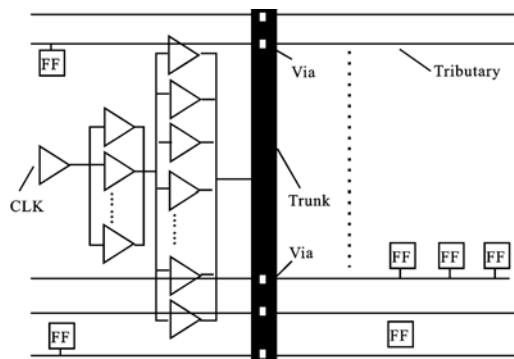


图1 鱼骨型时钟结构示意图

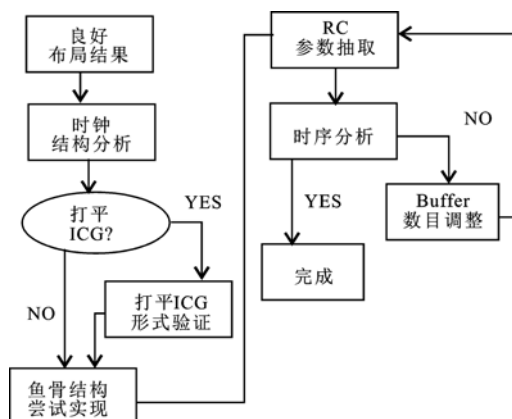


图2 鱼骨型时钟结构实现流程图

在此基础上,需要分析时钟结构.某些芯片设计时为了控制功耗,往往会加入一些集成门控时钟(Integrated clock gating, ICG).当某个模块不需要工作时,切断 ICG 之后的寄存器供电以达到降低功耗的目的.但由于逻辑或其他原因,一个时钟域中往往会存在某些寄存器不能切断功耗,而某些寄存器则可能受两级 ICG 控制,如图 3 所示.

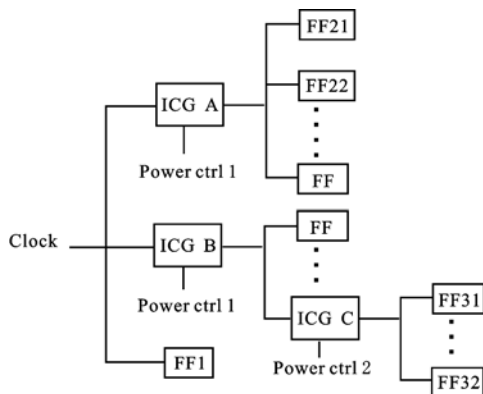


图3 预处理完的特殊时钟结构示意图

Fishbone 结构是多级缓冲器通过宽长金属驱动成千上万的负载,这里的负载必须是同一种类型.如果存在如图 3 所示的结构,FF1 和 FF22 之间至

少存在一个 ICG 器件延迟的时钟偏差,而 FF1 和 FF31 之间的时钟偏差将会达到两个 ICG 器件延迟值,可以通过以下方式消除这种先天结构带来的时钟偏差影响:对于 FF1 这类直接与时钟信号相连的寄存器,可以尝试加上和 ICG 一样类型的虚拟 ICG 或者器件延迟值差不多的缓冲器,使他们的结构得到大概的平衡.对于 ICG B 和 ICG C 这类的结构,需要将它们打平.所谓的打平就是使他们的级数相同.可以调用 IC Compiler(ICC)工具中的 flatten_clock_gating^[3]命令实现之.

4 鱼骨型时钟结构的快速实现

典型的鱼骨结构一般由三级缓冲器串联而成,形成复合驱动的结构.每级缓冲器数量不定,三级缓冲器相邻放置并靠近主干.本文以 S60TB 芯片设计中 eclk 为例,使用快速实现方法实现鱼骨型时钟结构.该芯片采用 TSMC90 nm 工艺,eclk 频率为 180 MHz.

鱼骨型时钟结构的实现质量依赖于具体参数的设置,其主要设计参数包括线网参数和驱动参数.线网参数主要是指主干的方向、宽度、长度和分支的宽度、长度、间距.驱动参数是指三级缓冲器的摆放位置和每级缓冲器的类型及数量^[4].

在 S60TB 中,缓冲器需要具有较大的驱动能力,同时由于主干上电流较大,为了提高可靠性,第三级缓冲器的输出端与主干间的通孔会打得比较大.所以最终选择了面积和驱动能力都相对较大的缓冲器——CKBD16.

如果能够较为准确地估算出负载电容值就可以计算出每级缓冲器的数目.但实际上 90 nm 以下的工艺中,很多情况下负载的电容值已经小于金属导线的电容值,而金属导线的寄生电容又超过了金属线本身的电容.特别是鱼骨型时钟结构的主干和分支这类宽金属,电容值更难估算.所以可以先画主干和分支,用工具得到负载电容(下文详述),再计算每级缓冲器的数目.

4.1 主干和分支的插入

(1)根据负载确定主干插入位置.在 ICC 中可以通过获得 bbox 属性的方式得到负载位置,算术平均即可得到负载中心点;而乘以负或电容值加权平均即可得到负载重心点.

(2)确定主干绕线的方向和所处金属层.主干方向的选择有两个因数决定:一是负载的具体分布情况.选择一个合理的方向可以使得负载达到主干的

距离最近.二是横竖两个方向的绕线资源.为了防止电迁移效应(Electromigration, EM)和减小线电阻,一般分支宽度可达到普通绕线的5~10倍,而主干则可达50~100倍.主干更宽更长,占据的绕线资源就会比较多,所以选择绕线资源更多的方向,可为后续绕线留下更多余地.

S60TB采用的是TSMC90nm1P6M+AP工艺库.最高层AP层的走线宽度最宽,EM承受能力也最强,一般都用于电源走线.其他金属层中M1、M3、M5为水平方向,M2、M4、M6为垂直方向.由于M1基本都用于标准单元摆放,所以垂直方向的绕线资源相对比较多.

分析负载的分布图,我们发现eclk的负载分布在一个1250×1250的窗口内,在对称性上并没有特别明显的倾向性.所以最后决定:主干在M6上绕线,而宽度相对较小的分支可以考虑在相邻的M5上绕线.

(3)确定主干和分支的走线宽度.主干和分支的宽度是矛盾的综合体:较宽的金属线可以降低绕线电阻,这样对电压降的影响较小,同时宽金属线能防止EM.但宽金属将占据较多的绕线资源,同时宽金属的寄生效应也会更明显.综合各方面考虑和经验值,eclk的主干宽度设为9.24 μm ,分支宽度设为0.84 μm .分支的间隔为60 μm .调用ICC的create_net_shape即可画出主干和分支.

实际设计中分支间隔并没有严格限定:某一区域没有负载分布时,可缩短或删除这一区域的分支;某一区域负载分布较密,可增加分支数目.这样也能合理利用绕线资源.主干和分支画完后,需要打穿孔.由于主干和分支接触面积较宽,可采用多倍穿孔数目策略来提高芯片的可靠性.

(4)将负载连接到分支上.

这一步调用ICC的绕线命令route_zrt_group即可.在调用这个命令前,为了防止负载直接连到主干上影响时钟偏斜,需要将主干临时改变名字.Route_zrt_group之后再改回原来的名字.图4即为负载的详细绕线(detail route)完成的示意图.

4.2 插入各级缓冲器

根据负载电容确定每级缓冲器数目.

调用ICC命令get_attribute[get_net eclk] total_capacitance_max得到eclk的输出端电容值为19.85 pF.

然后,可以在制造公司(fundry)提供的最差时序库(worst corner, WC)文件查询CKBD16的驱动

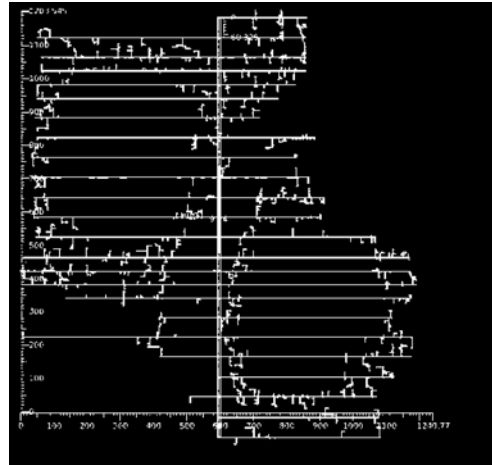


图4 eclk绕线完成图

能力,如图5所示.

```
rise_transition(delay_template_8x8) {
  index_1 ("0.0080, 0.0184, 0.0400, 0.0824, 0.1664, 0.3360, 0.6744, 1.3504")
  index_2 ("0.0258, 0.0438, 0.0798, 0.1519, 0.2960, 0.5842, 1.1607, 2.3136")
  values("0.0364, 0.0471, 0.0693, 0.1156, 0.2106, 0.4009, 0.7815, 1.5441", \
    "0.0364, 0.0472, 0.0694, 0.1155, 0.2105, 0.4010, 0.7819, 1.5438", \
    "0.0364, 0.0472, 0.0694, 0.1156, 0.2105, 0.4006, 0.7816, 1.5449", \
    "0.0365, 0.0473, 0.0693, 0.1154, 0.2105, 0.4006, 0.7814, 1.5439", \
    "0.0390, 0.0489, 0.0700, 0.1157, 0.2105, 0.4010, 0.7816, 1.5445", \
    "0.0473, 0.0561, 0.0752, 0.1184, 0.2107, 0.4006, 0.7823, 1.5440", \
    "0.0612, 0.0696, 0.0862, 0.1246, 0.2142, 0.4024, 0.7819, 1.5438", \
    "0.0822, 0.0915, 0.1079, 0.1406, 0.2220, 0.4052, 0.7849, 1.5431");
}
fall_transition(delay_template_8x8) {
  index_1 ("0.0080, 0.0184, 0.0400, 0.0824, 0.1664, 0.3360, 0.6744, 1.3504")
  index_2 ("0.0258, 0.0438, 0.0798, 0.1519, 0.2960, 0.5842, 1.1607, 2.3136")
  values("0.0371, 0.0488, 0.0722, 0.1198, 0.2169, 0.4127, 0.8054, 1.5910", \
    "0.0371, 0.0488, 0.0722, 0.1199, 0.2168, 0.4128, 0.8054, 1.5914", \
    "0.0370, 0.0489, 0.0723, 0.1197, 0.2169, 0.4127, 0.8048, 1.5912", \
    "0.0372, 0.0490, 0.0723, 0.1199, 0.2167, 0.4132, 0.8058, 1.5913", \
    "0.0394, 0.0505, 0.0732, 0.1203, 0.2169, 0.4132, 0.8052, 1.5903", \
    "0.0453, 0.0559, 0.0778, 0.1238, 0.2183, 0.4132, 0.8055, 1.5912", \
    "0.0563, 0.0657, 0.0854, 0.1286, 0.2224, 0.4152, 0.8052, 1.5906", \
    "0.0746, 0.0839, 0.1014, 0.1402, 0.2288, 0.4197, 0.8096, 1.5900");
}
```

图5 WC时序库中CKBD16的上升沿时序表图

Index_1是输入过渡时间值,index_2是输出负载电容.鱼骨型时钟设计要求为输入过渡时间150 ps,经过三级缓冲器放大驱动能力后,输出过渡时间不大于200 ps.由此,在rise_transition表中查找发现第五行第五列的输出过渡时间较为符合需求,此时理论输出负载为0.29 pF左右.这个值表明,在假定情况下,单个CKBD16能驱动0.29 pF左右的负载.所以,20 pF的负载约需要69个CKBD16并联,为了留下一定余量,这里取整为70.

查库文件可得单个CKBD16输入端电容值为0.0143 pF.由于三级缓冲器紧靠放置,之间的互连线电容及其带来的寄生电容均可忽略不计.同时,为了防止对后续结构带来不良影响,三级缓冲器间的过渡时间应该更小.查表得在输入输出过渡时间均为150 ps左右时,一个CKBD16可以驱动的负载电容为0.152 pF.70个CKBD16输入端的电容值为1.001 pF,所以第二级缓冲器的理论数目约为7.同法计算第一级缓冲器数目为1.

计算出各级所需的缓冲器数目后,即可插入缓冲器,可以循环调用ICC自带的create_cell, create

_net, connect_pin 等命令. 插入后需要解决器件重叠问题(overlap), 并将这些缓冲器按级数以上文计算出的中心点为源点对称布局, 如图 6 所示. 缓冲器插入后需要在第三级缓冲器的输出端和主干间打穿孔. 其中有一个需要特别注意的地方: 由于缓冲器摆放在 M1 上, 而主干在 M6 上, 缓冲器输出端要连接到主干上必须打穿越 M2-M5 的全通孔(follow-pin). 出于电迁移的考虑, 缓冲器的输出端需要通过全通孔完全连接到主干上, 这样全通孔就会比较大. 全通孔的存在将会对绕线带来较大的影响, 甚至可能在其周围产生严重的绕线拥塞, 所以需要特别注意.

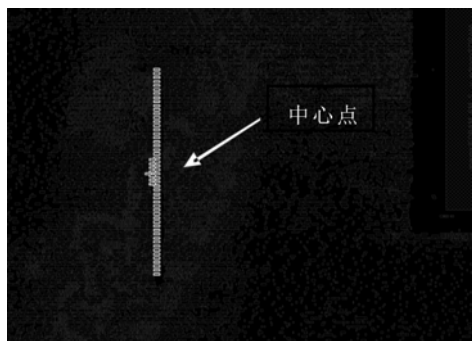


图 6 插入三级缓冲器后的示意图

鱼骨型时钟结构的实现包含了很多人工动作, 建议在完成后进行形式验证(Formality). 形式验证穿插在后端设计的整个阶段, 也是芯片流片前必经的步骤.

5 结束语

鱼骨型结构相比于二叉树结构具有时钟偏斜和时钟延迟更小的优点, 表 1 所示为二叉树型结构, 传统鱼骨型结构, 快速实现型鱼骨结构的重要参数比较表.

表 1 二叉树型时钟结构, 传统型鱼骨结构, 快速实现型鱼骨结构结果比较表

	二叉树型结构	传统鱼骨结构	快速实现鱼骨结构
缓冲器数目	1 264	1 070	1 071
最大延迟/ns	1. 205	0. 665	0. 670
最小延迟/ns	1. 064	0. 551	0. 554
时钟偏差/ns	0. 141	0. 114	0. 116
实现统计时间/hour	1. 5	13	3

由表 1 的统计结果可知, 快速实现型的鱼骨结构相比于二叉树型结构减小了时钟延迟、缓冲器数目、时钟偏差; 相比于传统方法实现的鱼骨结构, 缓冲器数目、时钟延迟、时钟偏差基本没有恶化的趋势, 但实现所需的时间大幅缩小. 由此可见, 这种鱼骨时钟的快速实现方法在工程实践中具有较高的实用价值.

参考文献:

- [1] Synopsys. Prime Time User Guide: Fundamentals. Version U-2009[R]. 2009.
- [2] 陈彦白. 鱼骨型时钟结构和 CTS 时钟树的比较[D]. 上海: 复旦大学, 2008.
- [3] 李小南. 多级自动布线框架中的延迟平衡研究[D]. 上海: 上海交通大学, 2008.
- [4] 林晓. 基于 EOC 物理层芯片的时钟树综合设计[D]. 北京: 北京工业大学, 2010.

作者简介:

陈菲菲 男, (1986-), 硕士研究生. 研究方向为数字芯片后端设计.

王振宇 男, (1974-), 副教授. 研究方向为微纳传感器制造工艺、器件设计和测试.

严伟 男, (1966-), 副教授. 研究方向为数字芯片设计.